



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11068763 A

(43) Date of publication of application: 09.03.99

(51) Int. Cl.
 H04L 12/28
 H04J 3/00
 H04L 13/18
 H04N 7/08
 H04N 7/081
 H04N 7/24
 H04Q 3/00

(21) Application number: 09222652

(22) Date of filing: 19.08.97

(71) Applicant: HITACHI LTD

(72) Inventor:
 NODA MITSUHIRO
 OKUMA KATSUMI

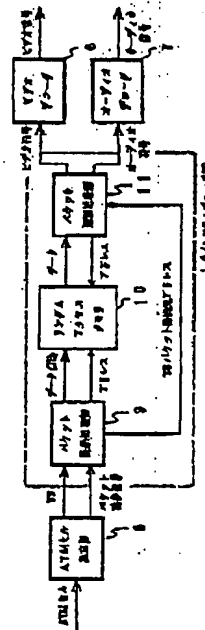
(54) SYSTEM DECODER

(57) Abstract

PROBLEM TO BE SOLVED: To reduce processing by an MPEG 2 decoder system in which an MPEG 2 transport stream is received from an ATM channel and decoded.

SOLUTION: A packet storage processing section 9 has a means to inform a transport stream TS packet storage destination address of a TS packet stored in a RAM 10 to a packet selection processing section 11 and the packet selection processing section 11 accesses only required information of the TS packet in the RAM 10 based on the informed packet storage position information. Then the packet selection processing section 11 reads a packet identifier PID of the TS packet in the RAM 10 and discriminates the packet to be a packet including video data/audio data, to be separately outputted, then the packet selection processing section 11 outputs the TS packet to a video decoder 8 and an audio decoder 7 to conduct demultiplexing processing of the TS packet and in the case that it is discriminated that the TS packet is not a packet including the video data/audio data to be separately outputted, the processing with respect to the TS packet is finished immediately.

COPYRIGHT: (C)1999,JPO



10:10:08

(51) IntCl.⁶

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

E

H 0 4 J 3/00

H 0 4 J 3/00

M

H 0 4 L 13/18

H 0 4 L 13/18

H 0 4 N 7/08

H 0 4 Q 3/00

7/081

H 0 4 N 7/08

Z

審査請求 未請求 請求項の数 7 O L (全 20 頁) 最終頁に続く

(21) 出願番号

特願平9-222652

(22) 出願日

平成9年(1997) 8月19日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 野田 充宏

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所情報通信事業部内

(72) 発明者 大熊 克己

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所情報通信事業部内

(74) 代理人 弁理士 武 顕次郎

(54) 【発明の名称】 システムデコーダ

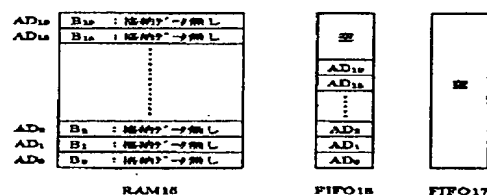
(57) 【要約】

【課題】 MPEG 2 トラストストリームを A TM 回線より受信し、復号する MPEG 2 デコーダシステムの処理を軽減可能とする。

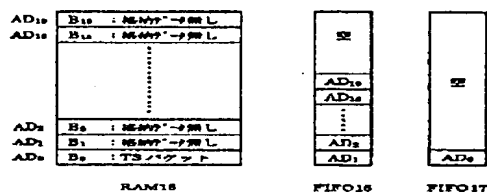
【解決手段】 パケット格納処理部 9 は、RAM 10 上に格納する TS パケットの TS パケット格納先アドレスをパケット選別処理部 11 に通知する手段を有し、パケット選別処理部 11 は、通知されたパケット格納位置情報により、RAM 10 上の TS パケットの必要な情報のみにアクセスすることが可能である。そして、パケット選別処理部 11 は、RAM 10 上のある TS パケットの P I D を読み出し、分離出力すべきビデオデータ・オーディオデータを含むパケットであると判定した場合に、その TS パケットをビデオデコーダ 6 及びオーディオデコーダ 7 に対して出力して TS パケットの分離処理を行わせ、その TS パケットが分離出力すべきビデオデータ・オーディオデータを含むパケットではないと判定した場合、即座にその TS パケットに対する処理を終了する。

【図 4】

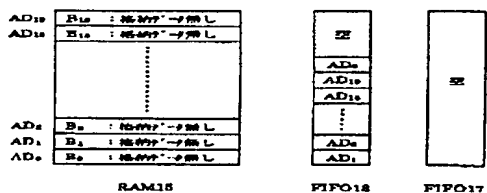
(a)



(b)



(c)



【特許請求の範囲】

【請求項 1】 固定長パケットからなる多重信号を入力とし、該多重信号に多重された信号を分離して出力するシステムデコーダにおいて、入力された多重信号を格納する一時記憶手段と、前記入力多重信号を前記一時記憶手段に格納するパケット格納処理手段と、前記一時記憶装置に格納された多重信号を構成する固定長パケットの境界位置を識別し、前記一時記憶手段に格納された任意の位置のデータを読み出し、固定長パケットの種別に応じて各固定長パケットを処理するパケット選別処理手段とを備えることを特徴とするシステムデコーダ。

【請求項 2】 前記パケット格納処理手段は、前記入力多重信号を構成する固定長パケットの境界を識別しつつ、固定長パケットを前記一時記憶装置に格納し、前記パケット選別処理手段に固定長パケットの境界を示す位置情報を通知することを特徴とする請求項 1 記載のシステムデコーダ。

【請求項 3】 固定長パケットからなる多重信号を ATM の AAL Type-5 により分割した ATM セルを ATM 回線より受信し、元の多重信号を組み立て、この多重信号を前記パケット格納手段に入力する ATM セル組立手段をさらに備えることを特徴とする請求項 1 または 2 記載のシステムデコーダ。

【請求項 4】 前記 ATM セル組立手段は、固定長パケットのパケット境界位置を前記パケット格納手段に通知することを特徴とする請求項 3 記載のシステムデコーダ。

【請求項 5】 前記多重信号が MPEG 2 のトランスポートストリームであることを特徴とする請求項 3 または 4 記載のシステムデコーダ。

【請求項 6】 前記パケット選別処理手段は、前記 ATM セル組立手段より取得したトランスポートパケットの格納場所を用いて前記一時記憶手段へのアドレス制御を行う制御部と、前記一時記憶装置を読み書きするためのインタフェース部と、前記一時記憶手段に格納されたトランスポートパケットの同期バイトを検査するトランスポートパケット同期バイト検査部と、分離を行おうとするプログラムに属する画像及び音響 PES を含むトランスポートパケットの PID を格納した PID テーブルと、前記トランスポートパケットの PID を読み出して前記 PID テーブルに示された PID と比較する PID 比較部と、前記トランスポートパケットの必要な情報を読み出して構造を解析するトランスポートパケット解析部と、前記トランスポートパケット解析部の解析結果を利用して前記トランスポートパケットより画像および音響 PES を分離して出力する PES 転送部とを備えて構成されることを特徴とする請求項 5 記載のシステムデコーダ。

【請求項 7】 請求項 5 記載のシステムデコーダと、MPEG 画像信号を復号する MPEG 画像復号手段と、M

PES 音声信号を復号する MPEG 音声復号手段とを備えることを特徴とする MPEG 2 復号装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ATM 回線より受信した MPEG 2 画像音響多重信号を入力し、多重信号の分離処理を行う MPEG 2 システムデコーダに係り、特に、ATM 網における多重信号の伝送が多重化パケットに同期して行われることを利用し、効率的に多重信号から画像圧縮信号と音響圧縮信号とを分離することを可能としたシステムデコーダに関する。

【0002】

【従来の技術】動画画像圧縮の国際標準である MPEG 2 (ISO/IEC 13818) は、放送・通信上のアプリケーションに適した画像音響多重信号として、トランスポートストリーム (Transport Stream、以下、TS という) を規定している。TS は、複数のプログラム (同一時刻情報に同期したビデオ、オーディオ、その他のデータの組) を 1 本のストリームに多重化することができる。

【0003】TS を復号する MPEG 2 のシステムデコーダは、入力される TS から選択された 1 つのプログラムに属するビデオデータ及びオーディオデータを分離 (TS 分離) するものである。そして、システムデコーダにより分離されたビデオ及びオーディオの各データは、それぞれビデオデコーダ及びオーディオデコーダにより画像信号及び音響信号に復号される。

【0004】以下、この種の MPEG 2 のシステムデコーダの従来技術を図面により詳細に説明する。

【0005】図 12 は MPEG 2 TS データ構造を説明する図、図 13 は MPEG 2 TS パケットの AAL 5 タイプへのマッピング方法を説明する図、図 14 は画像音響多重信号分離を行う従来技術によるシステムデコーダの構成例を示すブロック図である。図 14 において、1 は ATM セル組立部、2 はパケット同期・バイト検査部、3 は FIFO、4 はパケット選別処理部、5 はシステムデコーダ部、6 はビデオデコーダ、7 はオーディオデコーダである。

【0006】TS は、図 12 に示すように、ヘッダ部とペイロード (PES) とからなる 188 バイト固定長のトランスポートストリームパケット (Transport Stream Packet、以下、TS パケットという) により構成されており、MPEG 2 デコーダシステムが入力された TS を復号するためには、入力 TS パケット列の TS パケットの区切りを正しく識別 (TS パケット同期) する必要がある。TS パケットの先頭の 8 ビットは、この目的のための同期バイト (sync byte) であり、常に H “4 7” (先頭の “H” は 16 進表現であることを意味し、また、同様に先頭に “B” が付いている場合は 2 進表現であることを、先頭に “D” が付いている場合は 10 進

表現であることを意味する。)の値を有している。TS パケット同期は、一般に、この同期バイトをシフト検出することにより実現される。

【0007】ヘッダ部は、図示のように、多数のフィールドにより構成されており、公知の構成である。そして、図12には、後述する本発明においてTS分離のために使用するヘッダ部内の情報部分が、太線により囲んで示されている。

【0008】MPEG2は、任意の固定速度あるいは可変速度で符号化が可能であるため、伝送速度が自由に設定できるATM(Asynchronous Transfer Mode、非同期転送モード)通信網を用いることにより、柔軟なアプリケーションを構築することができる。

【0009】次に、図13を参照して、ATM Adaptation LayerとしてType-5(以下、AAL5という)を用いてTSを伝送する場合のTSパケットのATMセルへのマッピング方法を説明する。

【0010】図13の上段に示すような連続する複数のTSパケットをCPCS-SDU(Common Part Convergence Sublayer-Service Data Unit)とし、パディングフィールド及びトレイラである8バイトを付加して、CPCS-PDU(Common Part Convergence Sublayer-Protocol Data Unit)を構成する。パディングフィールドは、CPCS-PDUの長さを48バイトの整数倍とする目的で付加され、0から47バイトである。CPCS-PDUへのTSパケットの格納は、必ず、あるTSパケットの先頭バイトがCPCS-SDUの先頭バイトとなるよう行われる。CPCS-PDUは48バイト毎に分割され、それぞれ5バイトのATMセルヘッダが付加されて、53バイトのATMセルにマッピングされる。そして、1つのCPCS-PDUを分割して得られる最後のATMセルは、セルヘッダ内のパラメータにより区別される。なお、CPCS-PDU内に格納されTSパケットの数は原則として2であるが、この値は、送受端末間のネゴシエーションにより2より大きな値とすることも許される。

【0011】ATM通信網の受信側端末としてのATMインタフェースは、前述と逆の手順により、受信ATMセルよりTSパケットを復元する。すなわち、ATMインタフェースは、受信ATMセルのセルヘッダ内のパラメータにより元のCPCS-PDUを構成する最後のセルを識別し、CPCS-PDUを組み立てる。そして、CPCS-PDUトレイラ内に表示されたCPCS-SDUの長さを読みとり、CPCS-SDUを188バイト毎に分割することにより、送信側端末での元のTSパケット列が復元される。

【0012】ATM回線を介してTSを受信し、それを多重分離して復号する従来技術によるMPEG2システムデコーダは、図14に示すように、ATMセル組立部1と、システムデコーダ部5と、ビデオデコーダ6と、

オーディオデコーダ7とにより構成されている。そして、ATMセル組立部1は、ATM回線より受信したATMセル列からAAL5のプロトコルに基づいてTSパケット列を復元する。システムデコーダ部5は、ATMセル組立部1により復元されたTSパケット列からビデオデータとオーディオデータとを分離する。システムデコーダ5により分離された各データは、ビデオデコーダ6及びオーディオデコーダ7により復号される。システムデコーダ部5は、TS同期を実現するパケット同期・バイト検査部2と、TSパケットを一時格納するFIFO3と、FIFO3から読み出したTSパケットの種別を識別し分離処理を行うパケット選別処理部4とにより構成される。

【0013】前述において、パケット同期・バイト検査部2は、ATMセル組立部1より受け取るTSパケット列の各パケットの同期バイトを検出することによりTS同期を行う。そして、パケット同期・バイト検査部2は、同期がとれている間、TSパケット列をFIFO3に格納し、同期がはずれた場合、同期バイトをシフト検出することにより再び同期を確立し、その間のデータを廃棄する。

【0014】ATMセル組立部1がATMセルからCPCS-PDUの組み立てを完了した後、即座にそのCPCS-PDUに格納される複数のTSパケットを出力する場合、各TSパケットの出力される時間間隔は一定ではない。FIFO3は、このようなTSパケットの時間間隔の揺らぎを吸収する目的で必要である。

【0015】パケット選別処理部4は、FIFO3からTSパケットを読み出し、パケットヘッダの中に記述されたパケット種別を示すデータであるPID(Packet Identifier、パケット識別子)により、各パケットに応じた処理を行う。PIDは、TSパケットの2バイト目と3バイト目に記述されており、パケット選別処理部4は、パケット読み出し処理の比較的早期にそのパケットに対する処理を決定することが可能である。

【0016】パケット選別処理部4は、PIDの識別により、処理中のTSパケットが予め選択された1つのプログラムに属するビデオデータ・オーディオデータを格納していると判断した場合、そのTSパケットを引き続いて読み出す処理を行い、ビデオデコーダ・オーディオデコーダに送出する。また、パケット選別処理部4は、そのTSパケットが処理不要なデータを含むパケット、例えば、選択されていないプログラムに属するデータを格納したパケットや、ストリームの速度を調整するために挿入される有意なデータを含まないパケット(ヌルパケット)等である場合、PID以降のパケットデータをFIFO3から読み出して廃棄する。パケット選別処理部4は、その後、FIFO3に格納された次のTSパケットの処理を行う。

【0017】システムデコーダ部5は、その各部が以上

の動作を行うことにより、入力されるTSから、ビデオデータ、オーディオデータを分離して出力する。

【0018】

【発明が解決しようとする課題】図14に示す従来技術によるシステムデコーダは、パケット選別処理部4がTSパケットの構造を解析する過程において、当該TSパケットに関してそれ以降の処理が不要であることが判明しても、そのTSパケットをFIFO3から読み出して廃棄する作業が必要である。

【0019】TSは、前述したように複数のプログラムを多重することが可能な多重信号形式である。このため、従来技術によるシステムデコーダは、プログラム多重度がn、すなわち、n個のプログラムがTSに多重されている場合、パケット選別処理部4がn倍の速度でデータを処理しなければならず、パケット選別処理部4の実現のために高い処理能力が要求されるという問題点を有している。

【0020】本発明の目的は、前述した従来技術の問題点を解決し、より低い処理能力でパケット選別処理部を実現することができるシステムデコーダにおける多重分離装置を提供することにある。

【0021】

【課題を解決するための手段】本発明によれば前記目的は、固定長パケットからなる多重信号を入力とし、該多重信号に多重された信号を分離して出力するシステムデコーダにおいて、入力された多重信号を格納する一時記憶手段と、前記入力多重信号を前記一時記憶手段に格納するパケット格納処理手段と、前記一時記憶装置に格納された多重信号を構成する固定長パケットの境界位置を識別し、前記一時記憶手段に格納された任意の位置のデータを読み出し、固定長パケットの種別に応じて各固定長パケットを処理するパケット選別処理手段とを備えることにより達成される。

【0022】また、前記目的は、前記パケット格納処理手段が、前記入力多重信号を構成する固定長パケットの境界を識別しつつ、固定長パケットを前記一時記憶装置に格納し、前記パケット選別処理手段に固定長パケットの境界を示す位置情報を通知することにより、また、固定長パケットからなる多重信号をATMのAAL Type-5により分割したATMセルをATM回線より受信し、元の多重信号を組み立て、この多重信号を前記パケット格納手段に入力するATMセル組立手段をさらに備えることにより達成される。

【0023】さらに、前記目的は、前記ATMセル組立手段が、固定長パケットのパケット境界位置を前記パケット格納手段に通知することにより、また、前記多重信号がMPEG2のトランスポートストリームであることにより達成される。

【0024】また、前記目的は、前記パケット選別処理手段を、前記ATMセル組立手段より取得したトランス

ポートパケットの格納場所を用いて前記一時記憶手段へのアドレス制御を行う制御部と、前記一時記憶装置を読み書きするためのインタフェース部と、前記一時記憶手段に格納されたトランスポートパケットの同期バイトを検査するトランスポートパケット同期バイト検査部と、分離を行おうとするプログラムに属する画像及び音響PESを含むトランスポートパケットのPIDを格納したPIDテーブルと、前記トランスポートパケットのPIDを読み出して前記PIDテーブルに示されたPIDと比較するPID比較部と、前記トランスポートパケットの必要な情報を読み出して構造を解析するトランスポートパケット解析部と、前記トランスポートパケット解析部の解析結果を利用して前記トランスポートパケットより画像および音響PESを分離して出力するPES転送部とを備えて構成することにより達成される。

【0025】

【発明の実施の形態】以下、本発明による多重分離を行うシステムデコーダの実施形態を図面により説明する。

【0026】図1は本発明によるシステムデコーダの基本構成を示すブロック図である。図1において、8はATMセル組立部、9はパケット格納処理部、10はランダムアクセスメモリ(Random Access Memory、以下、RAMという)、11はパケット選別処理部、12はシステムデコーダ部であり、他の符号は図14の場合と同一である。

【0027】図1に示すシステムデコーダは、ATMセル組立部8と、システムデコーダ部12と、ビデオデコーダ6と、オーディオデコーダ7とにより構成されており、この構成は、基本的に図14に示した従来技術の場合と同一である。そして、本発明によるシステムデコーダは、システムデコーダ部12の構成が図14の場合と相違している。すなわち、システムデコーダ部12は、TSパケット列を一時格納するRAM10と、入力TSのパケット境界を識別しつつ、RAM10に入力TSの格納を行うパケット格納処理部9と、RAM10に格納されたTSパケットを読み出して、各パケットに応じた処理を行うパケット選別処理部11とにより構成される。

【0028】パケット格納処理部9は、RAM10上に格納するTSパケットの格納位置情報としてのTSパケット格納先アドレスをパケット選別処理部11に通知する手段を有している。パケット選別処理部11は、パケット格納処理部9から通知されたパケット格納位置情報により、RAM10上のTSパケットの必要な情報のみにアクセスすることが可能である。そして、パケット選別処理部11は、RAM10上のあるTSパケットのPIDを読み出し、分離出力すべきビデオデータ・オーディオデータを含むパケットであると判定した場合に、そのTSパケットをビデオデコーダ6及びオーディオデコーダ7に対して出力することにより、TSパケットの分

離処理を行うことができる。

【0029】また、パケット選別処理部11は、RAM10上のあるTSパケットのPIDの判定により、そのTSパケットが分離出力すべきビデオデータ・オーディオデータを含むパケットではないと判定した場合、PID以降のデータにはアクセスする必要がなく、即座にそのTSパケットに対する処理を終了して、次のTSパケットの処理を開始することができる。

【0030】前述したように本発明によるシステムデコーダは、入力されるTSのプログラム多重度が高い場合においても、分離すべきプログラムに属するビデオデータ・オーディオデータを含まないTSパケットに対するパケット選別処理部11の処理を低く抑えることができる。

【0031】また、前述の構成におけるパケット格納処理部9は、入力TSのパケット境界を識別するため、一般に同期バイトの検出を行う必要がある。しかし、前述した構成のシステムデコーダを含むMPEG2デコーダシステムがATM回線に接続され、TSをATMセルとして受信している場合、受信ATMセルからTSを復元するATMセル組立部8より、TSのパケット境界を取得することが可能である。

【0032】図2は本発明の第1の実施形態によるシステムデコーダの構成を示すブロック図、図3はパケット選別処理部の構成を示す機能ブロック図、図4はRAM、FIFOの利用状況を説明する図、図5はパケット選別処理部の処理動作を説明するフローチャート、図6はTSパケットの例を説明する図、図7はTSのPIDの例を説明する図である。図2、図3において、17、18はFIFO、22はインタフェース部、23はTSパケット同期検査部、24はPID比較部、25はPIDテーブル、26はTSパケット解析部、27はPES転送部、28は制御部であり、他の符号は図1の場合と同一である。

【0033】本発明によるシステムデコーダの第1の実施形態において、システムデコーダ部12は、ATM回線に接続されたATMセル組立部8から出力されるTSを入力とし、その入力TSに多重されている複数のプログラムの中の1つのプログラムに属するビデオ及びオーディオのPES(Packetized Elementary Stream)を分離し、それぞれビデオデコーダ6及びオーディオデコーダ7に対して出力する。なお、ATMセル組立部8が受信ATMセルからTSを組み立てるとき、CPCS-PDUの先頭バイトは、必ずTSパケットの先頭バイトであるので、ATMセル組立部8は、TSパケットの境界を識別することが可能である。そこで、図示例のATMセル組立部8は、TSパケット列をシステムデコーダ部12に対して出力すると共に、パケットの境界を通知する手段を有する構成とした。

【0034】システムデコーダ部12は、RAM10

と、入力TSパケット列をパケット毎にRAM10に格納するパケット格納処理部9と、RAM10から必要なデータを読み出してTSパケットの種別を識別し、それぞれのパケットに応じた処理を行うパケット選別処理部11と、パケット格納処理部9とパケット選別処理部11との間でRAM10の使用状況を管理する目的のFIFO17及び18とを備えて構成される。

【0035】RAM10は、TSパケット長である188バイトより大きい複数のRAMブロックB0、B1、…、B19に分割されており、TSパケットは、パケット格納処理部9によりRAM10のブロックの1つに格納される。以下の説明では、RAMブロックB0、B1、…、B19の先頭アドレスをAD0、AD1、…、AD19と表記する。FIFO17は、パケット格納処理部9によりTSパケットが格納されたRAM10のブロックの先頭アドレスを一時格納する。また、FIFO18は、RAM10内のRAMブロックのうちパケット格納処理部9によりTSパケットが格納されていないRAMブロックの先頭アドレスを一時格納する。

【0036】パケット格納処理部9は、使用可能なRAMブロックのアドレスをFIFO18から取得する手段と、TSパケットを格納したRAMブロックの先頭アドレスをFIFO17に格納する手段とを有する。パケット選別処理部11は、パケット格納処理部9がTSパケットを格納したRAMブロックの先頭アドレスをFIFO17から取得する処理と、1つのRAMブロックに格納されたTSパケットに対する処理とを完了した後に、そのRAMブロックの先頭アドレスをFIFO18に格納する手段とを有する。また、FIFO17は、TSパケットが格納されたRAMブロックの先頭アドレスを1つも格納していない場合に、その旨をパケット選別処理部11に通知する手段として、エンプティ・フラグ信号線を有している。

【0037】パケット選別処理部11は、図3に示すように、RAM10に対するアドレス制御を行う制御部28と、パケット選別処理部11内の各部からRAM10へのアクセスを実現するインタフェース部22と、RAM10上のTSパケットの同期バイトを読み出してTSパケット同期を検査するTSパケット同期検査部23と、処理すべきTSパケットを識別するPIDデータを格納したPIDテーブル25と、RAM10上のTSパケットのPIDを読み出してPIDテーブル25を参照してそのTSパケットに対する処理を決定するPID比較部24と、RAM10から必要な情報を読み出してTSパケットの構造を解析するTSパケット解析部26と、TSパケット解析部26の解析結果に基づいてTSパケットからビデオPES及びオーディオPESを抽出し、これらをビデオデコーダ6及びオーディオデコーダ7に転送するPES転送部27とにより構成される。

【0038】次に、図4を参照して、ATMセル組立部

8からシステムデコーダ部12にTSパケットが入力された場合のパケット格納処理部9、RAM10、FIFO17、18周辺の動作を説明する。なお、図4(a)～図4(c)によるFIFO17、18の説明において、パケット格納処理部9、パケット選別処理部11によりそれぞれ、FIFO17、18に書き込まれたデータは、すでに入力されているデータの上に積み重ねて記述していくこととする。従って、FIFO17、18の最も下部に記述されたデータが、最も過去に書き込まれたデータであり、パケット選別処理部11、パケット格納処理部9により読み出されるデータである。

【0039】図4(a)は、システムデコーダ12の動作開始前におけるRAM10及びFIFO17、18の状態を表わしている。動作開始前において、RAM10上のブロックB0、B1、…、B19には有意なデータは格納されていない。FIFO18は、RAMブロックB0、B1、…、B19のうちTSパケットが格納されていないブロックの先頭アドレスを保持するものであり、システムデコーダ12の動作開始前において、全てのRAMブロックは未使用の状態であるので、FIFO18には、RAMブロックB0、B1、…、B19の先頭アドレスAD0、AD1、…、AD19が記入された状態である。FIFO17は、RAMブロックB0、B1、…、B19のうちTSパケットが格納され、パケット選別処理部11による処理を待っている状態のブロックの先頭アドレスを保持するものである。よって、システムデコーダ12の動作開始前において、FIFO17には、どのブロックの先頭アドレスも記入されていない状態であり、エンプティ・フラグ信号をアクティブとしている。

【0040】システムデコーダ12が動作を開始し、パケット格納処理部9がATMセル組立部8よりTSパケットを受け取ると、パケット格納処理部9は、FIFO18より使用可能なRAMブロックのアドレスを取得する。この場合、アドレスAD0が得られるので、パケット格納処理部9は、アドレスAD0を先頭アドレスとするRAMブロックB0にTSパケットを格納し、この格納が完了すると、格納先ブロックB0の先頭アドレスAD0をFIFO17に記入する。この時点におけるRAM10、FIFO17、18の状態が図4(b)に示されている。

【0041】以降、パケット格納処理部9は、ATMセル組立部8よりTSパケット1つを受け取る毎に、FIFO18より使用可能なRAMブロックBkの先頭アドレスADkを取得し、RAMブロックBkにTSパケットを格納した後、そのアドレスADkをFIFO18に記入するという動作を行う。

【0042】また、図示システムデコーダ部12が動作を開始後、パケット選別処理部11は、FIFO17のエンプティ・フラグ信号を監視し、信号が非アクティブ

となるのを待つ。ATMセル組立部8よりTSパケットの1つがシステムデコーダ部12に入力されて、TSパケットがRAMブロックに格納され、図4(b)に示す状態になり、FIFO17のエンプティ・フラグ信号が非アクティブになると、パケット選別処理部11は、FIFO17から読み出しを行う。その結果、TSパケットの格納されたRAMブロックB0の先頭アドレスAD0が得られる。パケット選別処理部11は、RAMブロックB0に格納されたTSパケットに対して、後述する処理を行った後、RAMブロックB0の先頭アドレスAD0をFIFO18に記入する。この時点におけるRAM10、FIFO17、18の状態が図4(c)に示されている。

【0043】以降、パケット格納処理部11は、FIFO17のエンプティ・フラグ信号を監視し、信号が非アクティブであれば、TSパケットの格納されたRAMブロックBkの先頭アドレスADkをFIFO17から取得し、RAMブロックBkに格納されたTSパケットに対して、後述の処理を行った後、RAMブロックBkの先頭アドレスADkをFIFO18に記入するという動作を繰り返す。

【0044】次に、パケット選別処理部11がRAM10上のRAMブロックBkに格納されたTSパケットに対して行う処理のうち、TS分離に係わる処理動作を、図5に示すフローを参照して説明する。

【0045】(1)パケット選別処理部11は、TSパケットが受信され、RAM10に格納されると、FIFO17からRAM10上のTSパケットが格納されたRAMブロックのアドレスADkを取得する(ステップ501)。

【0046】(2)パケット選別処理部11のTSパケット同期検査部23は、アドレスADkを先頭アドレスとするRAMブロックBk内のTSパケットの同期バイトを読み出して、その値がH“47”であるか否かを調べる。TSパケットが正しく同期がとれて格納されていれば、RAMブロックBkの1～8ビット目が同期バイトであり、これが読み出される。TSパケット同期検査部23は、同期バイトの値がH“47”でないならば、当該TSパケットに関して、同期がとれていないものと判断し、当該TSパケットに対する処理を終了させる(ステップ502、503)。

【0047】(3)ステップ503で同期がとれていると判断された場合、PID比較部24は、PIDが格納されている位置であるRAMブロックBkの12～24ビット目をを読み出して、PIDテーブル25に記されたビデオまたはオーディオPESを含むTSパケットのPIDと比較することにより、処理対象のTSパケットであるか否かを判定する。処理対象でないTSパケットであると判断された場合、PID比較部24は、当該TSパケットに対する処理を終了させる(ステップ50

4、505)。

【0048】(4) ステップ505で処理対象のTSパケットであると判定された場合、TSパケット解析部26は、アダプテーション・フィールド・コントロールが格納されている位置であるRAMブロックBkの27～28ビット目を読み出して、アダプテーション・フィールド及びペイロードの有無を判定し、アダプテーション・フィールドが存在し、ペイロードが存在しないと判定した場合、当該TSパケットに対する処理を終了する(ステップ506、507)。

【0049】(5) ステップ507でアダプテーション・フィールドが存在せず、ペイロードが存在すると判定された場合、TSパケットのヘッダ長は4バイトであると判定して、後述するステップ510に処理を渡す(ステップ508)。

【0050】(6) ステップ507、508の判定の結果、アダプテーション・フィールドとペイロードとが共に存在すると判定された場合、TSパケット解析部26は、アダプテーション・フィールド・レングスを読み出す。アダプテーション・フィールド・レングスは、それに続くアダプテーション・フィールドのバイト数を示しているのので、この値に5を加えた数が当該TSパケットのヘッダのバイト数である(ステップ509)。

【0051】(7) 前述のTSパケット解析部26の処理によりヘッダ長が得られているので、PES転送部27は、この結果に基づいて、TSヘッダ以降188バイト目までのデータを読み出して、ビデオデコーダ6またはオーディオデコーダ7に送出する(ステップ510)。

【0052】次に、前述した処理動作を、図6に示すTSパケットの例を説明する図及び図7に示すTSのPIDの例を説明する図を参照して具体的に説明する。

【0053】いま、ブロックBkに図6に示す値を持つTSパケット(a)～(e)が格納されている場合のそれぞれについて、TSパケットがどのように処理されるかを以下に記述する。なお、ここでは、TSパケットの種別を示すPIDが図7に示されているように定義されているものとし、本発明によるシステムデコーダを構成要素とするMPEG2復号装置がプログラム番号1のプログラムを復号・再生するものとする。従って、図7の定義により、図3のPIDテーブル25には、分離すべきビデオPESを含むTSパケットのPIDとしてH“0110”が、また、分離すべきオーディオPESを含むTSパケットのPIDとしてH“0120”が記述されている。

【0054】・ブロックBkにTSパケット(a)が格納されている場合

ステップ502、503で、TSパケット同期検査部23が同期バイトが格納されているべきアドレス上のデータ、すなわち、ADkを先頭として8ビットのデータを

読み出す。その結果、H“D9”が得られる。H“47”でないため、同期エラーが生じていると判断されるので、当該TSパケットに関して処理を終了する。

【0055】・ブロックBkにTSパケット(b)が格納されている場合

ステップ502、503で、TSパケット同期検査部23が同期バイトを読み出した結果、H“47”が得られ、同期状態にあると判断される。続いて、ステップ504、505で、PID比較部24がPIDを読み出し、H“0210”が得られる。PID比較部24は、PIDテーブル25上に記述された、分離すべきビデオPESのPID(H“0110”)、分離すべきオーディオPESのPID(H“0120”)と比較する。この結果、いずれとも異なるため、TSパケット(b)は、分離処理対象のTSパケットではないと判断され、当該TSパケットに関して、処理を終了する。

【0056】・ブロックBkにTSパケット(c)が格納されている場合

ステップ502、503で、TSパケット同期検査部23が同期バイトを読み出した結果、H“47”が得られ、同期状態にあると判断される。続いて、ステップ504、505で、PID比較部24がPIDを読み出し、H“0110”が得られる。PID比較部24は、PIDテーブル25上に記述されたPIDと比較して、当該TSパケットが分離すべきビデオPESを含むTSパケットであると判断する。続いて、ステップ506で、TSパケット解析部26がアダプテーション・フィールド・コントロールを読み出す。その結果、B“01”が得られ、ステップ507で、当該TSパケットにはペイロードが存在せず、従って、ビデオPESの実データが存在しないと判断され、当該TSパケットに関しての処理を終了する。

【0057】・ブロックBkにTSパケット(d)が格納されている場合

ステップ502、503で、TSパケット同期検査部23が同期バイトを読み出した結果、H“47”が得られ、同期状態にあると判断される。続いて、ステップ504、505で、PID比較部24がPIDを読み出し、H“0110”が得られる。PID比較部24は、PIDテーブル25上に記述されたPIDと比較して、当該TSパケットが分離すべきビデオPESを含むTSパケットであると判断する。続いて、ステップ506で、TSパケット解析部26がアダプテーション・フィールド・コントロールを読み出す。その結果、B“10”が得られ、ステップ507、508で、当該TSパケットにはアダプテーション・フィールドが存在せず、ペイロードが存在すると判断され、当該TSパケットのヘッダ長は4バイトであると判断される。続いて、ステップ510で、4バイトのパケットヘッダに続くペイロード(Bkの5～188バイト目)をPES転送部27

が読み出して、ビデオデコーダ6に転送し、完了後、当該TSパケットに関しての処理を終了する。

【0058】・ブロックBkにTSパケット(e)が格納されている場合

ステップ502、503で、TSパケット同期検査部23が同期バイトを読み出した結果、H“47”が得られ、同期状態にあると判断される。続いて、ステップ504、505で、PID比較部24がPIDを読み出し、H“0110”が得られる。PID比較部24は、PIDテーブル25上に記述されたPIDと比較して、当該TSパケットが分離すべきビデオPESを含むTSパケットであると判断する。続いて、ステップ506で、TSパケット解析部26がアダプテーション・フィールド・コントロールを読み出す。その結果、B“11”が得られ、ステップ507、508で、当該TSパケットにはアダプテーション・フィールドとペイロードとが共に存在すると判断される。これにより、ステップ509で、TSパケット解析部26は、アダプテーション・フィールド・レングスを読み出し、D“9”が得られるので、当該TSパケットのヘッダ長は、9に5を加えて、14バイトであると判断される。続いて、ステップ510で、14バイトのパケットヘッダに続くペイロード(Bkの15~188バイト目)をPES転送部27が読み出して、ビデオデコーダ6に転送し、完了後、当該TSパケットに関しての処理を終了する。

【0059】前述したTSパケット(c)、(d)、(e)の処理の例は、PIDがH“0110”でビデオPESを含むTSパケットの例であったが、PIDがH“0120”でオーディオPESを含むTSパケットの場合、ステップ510の処理におけるPESの転送先がオーディオデコーダ7となる点以外、前述と同様な処理となる。

【0060】前述で説明した処理動作により、1つのTSパケットに対するTS分離処理が可能である。しかも、入力TSの多重度が高い場合においても、選択されたプログラムに属するビデオPES・オーディオPES以外のデータを含むTSパケットに対する処理は、ステップ505の処理までで終了することができ、TS分離に要する処理量を低減することができる。

【0061】なお、前述した本発明の実施形態は、RAM10をB0、B1、…、B19の20個のRAMブロックに分割しているが、RAM10上には、次に説明するように、さらに多くのRAMブロックを確保する必要がある場合もある。

【0062】すなわち、前述した本発明の実施形態において、システムデコーダ12が破綻することなく分離処理を続けるためには、ATMセル組立部8がシステムデコーダ12にTSパケットを入力する時点で必ず、パケット格納処理部9がFIFO18から使用可能なRAMブロックの先頭アドレスを取得できる必要がある。パケ

ット選別処理部11があるTSパケットの処理として、ビデオデコーダ6・オーディオデコーダ7にPESの転送を行う場合、そのTSパケットの処理に要する時間は、その他のTSパケットの処理に要する時間よりも長い。

【0063】このため、入力TSのTS多重度が大きい場合、パケット選別処理部11がPES転送対象のTSパケットを処理している間に、TSパケットの格納されたブロックのアドレスがFIFO17に蓄積されてしまい、パケット格納処理部9がFIFO18から使用可能なブロックのアドレスを取得することができなくなることがあり得る。従って、RAM10上には、このような状態にならないように十分な数のRAMブロックを確保する必要がある。

【0064】図8は本発明の第2の実施形態によるシステムデコーダの構成を示すブロック図、図9はRAM10のアドレス空間の構成を説明する図、図10はプロセッサ31のアドレス空間を説明する図、図11はRAMの利用状況を説明する図である。図8において、31はプロセッサ、32はプログラムメモリ、33はPES出力部であり、他の符号は図2の場合と同一である。

【0065】本発明の第2の実施形態によるシステムデコーダは、システムデコーダ部12内のパケット選別処理部11を、プロセッサ31と、プログラムメモリ32と、PES出力部33とにより構成し、図2により説明したシステムデコーダ部12内のFIFO17及び18の機能をプロセッサ31に行わせるようにしたものであり、その他の構成は、図2により説明した本発明の第1の実施形態と同様である。

【0066】図8において、システムデコーダ部12は、図2により説明した場合と同様に、ATM回線に接続されたATMセル組立部8から出力されるTSを入力とし、その入力TSに多重されている複数のプログラムの中の1つのプログラムに属するビデオ及びオーディオのPESを分離し、それぞれビデオデコーダ6及びオーディオデコーダ7に対して出力する。なお、ATMセル組立部8が受信ATMセルからTSを組み立てるとき、CPCS-PDUの先頭バイトは、必ずTSパケットの先頭バイトであるので、ATMセル組立部8は、TSパケットの境界を識別することが可能である。そこで、図示例のATMセル組立部8は、TSパケット列をシステムデコーダ部12に対して出力すると共に、パケットの境界を通知する手段を有する構成とした。

【0067】システムデコーダ部12は、RAM10と、入力TSパケット列をパケット毎にRAM10に格納するパケット格納処理部9と、RAM10から必要なデータを読み出してTSパケットの種別を識別し、それぞれのパケットに応じた処理を行うパケット選別処理部11とにより構成される。RAM10には、図9に示すように、TSパケットを格納するバッファ領域B0、B

1, B2, ..., B19と、各バッファ領域がある時点においてTSパケットを格納しているか否かを示すフラグF0, F1, F2, ..., F19が確保される。バッファ領域Bkの先頭アドレスをB_ADk、フラグFkの先頭アドレスをF_ADkとし、パケット格納処理部9及びパケット選別処理部11は、各アドレスを指定することにより、対応するデータにアクセスすることができる。

【0068】パケット選別処理部11は、プロセッサ31と、プロセッサ31上で動作するプログラムを格納したプログラムメモリ32及びビデオPES、オーディオPESをビデオデコーダ6、オーディオデコーダ7に出力するPES出力部33とにより構成される。プロセッサ31は、データバス及びアドレスバスを介してプログラムメモリ32、PES出力部33及びRAM10と接続されている。前述したように、RAM10上には、バッファ領域B0, B1, ..., B19（先頭アドレスB_AD0, B_AD1, ..., B_AD19）、及び、フラグF0, F1, ..., F19（先頭アドレスF_AD0, F_AD1, ..., F_AD19）が確保されているので、プロセッサ31は、各アドレスを指定することにより、対応するデータにアクセスすることができる。

【0069】そして、プロセッサ31がアクセスするアドレス空間は、図10に示すように、前述のバッファ領域、フラグアドレスと、PES出力部33に対する出力情報、すなわち、ビデオデコーダ、オーディオデコーダへの出力情報を格納する領域（先頭アドレスV_AD, A_AD）と、実施形態1の図5と同等の処理を実現する命令群が記述されているプログラムメモリ領域（先頭アドレスP_AD）とである。図8に示す例では、プログラムメモリ32が独立に示されているが、前述のように、プログラムメモリ32は、RAM10内にプログラムメモリ領域として確保されればよい。

【0070】前述において、プロセッサ31がアドレスV_AD, A_ADに対して、ビデオPES、オーディオPESを出力すると、PES出力部33は、これらのアドレスをデコードし、データバス上のデータをビデオデコーダ6、オーディオデコーダ7に転送する。プログラムメモリ32上には、前述したような命令群が記述されており、プロセッサ31は、これらの命令群を逐次、読み込み、解釈、実行する。

【0071】次に、本発明の第2の実施形態によるシステムデコーダにおいて、ATMセル組立部8からTSパケットが入力されたときのパケット格納処理部9及びRAM10周辺の動作を、図11に示すRAM10上のバッファ領域B0, B1, ..., B19、フラグF0, F1, ..., F19に格納されたデータを例に説明する。なお、以下の説明では、バッファ領域BkにTSパケットが格納されている場合に、対応するフラグFk内

の特定のビットBの値を“1”とし、BkにTSパケットが格納されていない場合にビットBの値を“0”とするものとする。

【0072】いま、システムデコーダ部12の動作開始前において、RAM10上のバッファ領域及びフラグの状態が、図11(a)に示すように、全てのバッファ領域に有意なデータが格納されておらず、全てのフラグのビットBの値として“0”が記述されているものとする。

【0073】前述の状態からシステムデコーダ部12が動作を開始し、ATMセル組立部8がTSパケットを1つシステムデコーダ部12のパケット格納処理部9に送り込んでくると、パケット格納処理部9は、フラグF0のビットBの値が“0”となっていることを確認した後、バッファB0にTSパケットを格納し、フラグF0のビットBの値を図11(b)に示すように“1”とする。以降、パケット格納処理部9は、TSパケットを受け取る毎に、フラグFkのビットBの値が“0”であることを確認して、バッファBkにTSパケットを格納するという動作を行う。

【0074】また、システムデコーダ部12の動作開始後、パケット選別処理部11は、フラグF0を監視し、フラグFのビットBが“1”に変更されるのを待つ。ATMセル組立部8より、TSパケット1つが入力されて、図11(b)に示す状態になり、フラグF0のビットBの値が“0”からB“1”に変更されると、パケット選別処理部11は、バッファB0に格納されたTSパケットに対して、後述する処理を行った後、フラグF0のビットBの値を“1”から“0”に変更する。この間に、パケット格納処理部9がATMセル組立部8からTSパケット1つを受け取っている場合には、バッファB1にTSパケットが格納され、フラグF1のビットBの値が“0”から“1”に変更される。この時点におけるRAM10の状態を図11(c)に示している。

【0075】前述したように、パケット格納処理部9の動作によりバッファ領域が順に使用状態にされていくが、同時に、後述するパケット選別処理部11の動作により、バッファ領域上のTSパケットは分離処理が施されて、バッファ領域は再び使用可能な状態（対応するフラグFkのビットBの値が“0”）となる。バッファ格納処理部9は、バッファB19にTSパケットを格納した後、次にTSパケット1つを受け取ったとき、再び、フラグF0のビットBの値が“0”となっていることを確認した後、バッファB0にそのTSパケットを格納する。

【0076】次に、パケット選別処理部11の動作について説明する。なお、以下の説明におけるプロセッサ31のTS分離処理は、全て、プロセッサ31がプログラムメモリ32上の命令群を読み込み、解釈、実行することにより実現される。

【0077】プロセッサ31は、システムデコーダ部12の動作開始後、RAM10上のフラグF0を監視する。プロセッサ31は、バケット格納処理部9がバッファB0にTSパケットを格納して、フラグF0のビットBの値“1”に変更したのを確認すると、バッファB0に格納されたTSパケットに対して、後述する処理を行った後、フラグF0のビットBの値を“0”に変更する。プロセッサ31は、続いて、フラグF1を監視し、そのフラグのビットBの値が“1”に変更されたことを確認すると、バッファB1に格納されたTSパケットを

処理し、フラグF1のビットBの値を“0”に変更する。以降、プロセッサ31は、フラグFkを監視しそのビットBの値が“1”に変更されたことを確認し、バッファBkに格納されたTSパケットを処理し、フラグFkのビットBの値を“0”に変更するという動作を繰り返す。

【0078】次に、プロセッサ31がバッファBkに格納されたTSパケットに対して行う処理を説明する。プロセッサ31は、フラグFkを監視し、そのビットBの値が“0”から“1”に変更されたことを検出すると、

バッファBk（先頭アドレスB_ADk）内のTSパケットに対して、以下に説明する一連の処理を行う。なお、この処理動作は、本発明の第1の実施形態により説明したパケット選別処理部の処理動作と同様であり、以下では、再度図5を参照してプロセッサ31の処理動作を説明する。

【0079】（1）プロセッサ31は、フラグFkを監視し、そのビットBの値が“0”から“1”に変更されたことを検出すると、TSパケットが受信されてRAM10に格納されたと判断し、対応するバッファBk内の

TSパケットの同期バイトを読み出して、その値がH“47”であるか否かを調べる。TSパケットが正しく同期がとれて格納されていれば、バッファBkの1～8ビット目が同期バイトであり、これが読み出される。プロセッサ31は、同期バイトの値がH“47”でないならば、当該TSパケットに関して、同期がとれていないものと判断し、当該TSパケットに対する処理を終了させる（ステップ501～503）。

【0080】（2）ステップ503で同期がとれている判断された場合、プロセッサ31は、PIDが格納されている位置であるバッファBkの12～24ビット目を読み出して、予め指定されたビデオまたはオーディオPESを含むTSパケットのPIDと比較することにより、処理対象のTSパケットであるか否かを判定し、処理対象でないTSパケットであると判断された場合、当該TSパケットに対する処理を終了させる（ステップ504、505）。

【0081】（3）ステップ505で処理対象のTSパケットであると判定された場合、プロセッサ31は、アダプテーション・フィールド・コントロールが格納され

ている位置であるRAMブロックBkの27～28ビット目を読み出して、アダプテーション・フィールド及びペイロードの有無を判定し、アダプテーション・フィールドが存在し、ペイロードが存在しないと判定した場合、当該TSパケットに対する処理を終了する（ステップ506、507）。

【0082】（4）ステップ507でアダプテーション・フィールドが存在せず、ペイロードが存在すると判定された場合、TSパケットのヘッダ長は4バイトであると判定して、後述するステップ510に処理を渡す（ステップ508）。

【0083】（5）ステップ507、508の判定の結果、アダプテーション・フィールドとペイロードとが共に存在すると判定された場合、TSパケット解析部26は、アダプテーション・フィールド・レングスを読み出す。アダプテーション・フィールド・レングスは、それに続くアダプテーション・フィールドのバイト数を示しているため、この値に5を加えた数が当該TSパケットのヘッダのバイト数である（ステップ509）。

【0084】（6）前述の処理によりヘッダ長が得られているので、プロセッサ31は、この結果に基づいて、TSヘッダ以降188バイト目までのデータを読み出して、ビデオPESであればアドレスV_ADに、オーディオPESであればアドレスA_ADに対して、書き込みを行う。そして、PES出力部33は、アドレスバス

のアドレスをデコードし、ビデオPESをビデオデコーダに、オーディオPESをオーディオデコーダに出力する（ステップ510）。

【0085】前述で説明した処理動作により、1つのTSパケットに対するTS分離処理が可能である。しかも、入力TSの多重度が高い場合においても、選択されたプログラムに属するビデオPES・オーディオPES以外のデータを含むTSパケットに対する処理は、ステップ505の処理までで終了することができ、TS分離に要する処理量を低減することができる。

【0086】なお、前述した本発明の第2の実施形態は、RAM10にバッファ領域として、B0、B1、…、B19の20個のバッファを確保しているとして説明したが、入力TSの多重度が高い場合には、すでに説明した本発明の第1の実施形態の場合と同様な理由により、充分な数のバッファ領域を確保する必要がある。

【0087】また、TSパケットのAAL5タイプへのマッピングは、前述したように、2つ、またはそれ以上のTSパケットをCPCS-SDUとして行われるため、前述で説明した各実施形態におけるパケット格納処理部9は、ATMセル組立部8より受け取った、CPCS-SDUを構成する2つ以上のTSパケットを、RAM10の1つのブロックに容易に格納することができる。そして、本発明の各実施形態は、前述のように、複数のTSパケットをRAM10の1つのブロックに格納

した場合においても、TSパケットが固定長であるため、RAM 10のブロックの先頭アドレスから、複数のTSパケットの先頭アドレスを取得することが可能であり、パケット分離処理部 11がそれぞれのTSパケットに対し、前述のTS分離処理を行うことが可能である。

【0088】前述した本発明の各実施形態のシステムデコーダを構成するパケット選別処理部によるTSパケットからビデオPESとオーディオPESを取り出すための処理は、TSパケットの同期検査、PIDの比較、TSパケットのデータ構造解析、PESの転送という手順を順次実行して実現されるが、TSパケットの同期検査により同期エラーと判断された場合、PIDの比較により処理対象でないTSパケットと判断された場合、及び、TSパケットのデータ構造解析で抽出すべきPESが含まれていないと判断された場合に、即座に当該TSパケットに対する処理を終了することができる。前述した本発明の各実施形態によれば、これにより、システムデコーダとしての処理量を低く抑えることができる。

【0089】

【発明の効果】以上説明したように本発明によれば、システムデコーダのパケット選別処理部の処理量を低減することができ、低い処理能力にもかかわらず、多重度の高いTSパケットの分離を行うことが可能となる。

【図面の簡単な説明】

【図1】本発明によるシステムデコーダの基本構成を示すブロック図である。

【図2】本発明の第1の実施形態によるシステムデコーダの構成を示すブロック図である。

【図3】図2におけるパケット選別処理部の構成を示す機能ブロック図である。

【図4】図2におけるRAM、FIFOの利用状況を説明する図である。

【図5】図2におけるパケット選別処理部の処理動作を説明するフローチャートである。

【図6】TSパケットの例を説明する図である。

【図7】TSのPIDの例を説明する図である。

【図8】本発明の第2の実施形態によるシステムデコー

ダの構成を示すブロック図である。

【図9】図8におけるRAMのアドレス空間の構成を説明する図である。

【図10】図8におけるプロセッサのアドレス空間を説明する図である。

【図11】図8におけるRAMの利用状況を説明する図である。

【図12】MPEG2 TSデータ構造を説明する図である。

【図13】MPEG2 TSパケットのAAL5タイプへのマッピング方法を説明する図である。

【図14】従来技術によるシステムデコーダの構成例を示すブロック図である。

【符号の説明】

- 1 ATMセル組立部
- 2 パケット同期・バイト検査部
- 3、17、18 FIFO
- 4 パケット選別処理部
- 5 システムデコーダ部
- 6 ビデオデコーダ
- 7 オーディオデコーダ
- 8 ATMセル組立部
- 9 パケット格納処理部
- 10 RAM
- 11 パケット選別処理部
- 12 システムデコーダ部
- 22 インタフェース部
- 23 TSパケット同期検査部
- 24 PID比較部
- 25 PIDテーブル
- 26 TSパケット解析部
- 27 PES転送部
- 28 制御部
- 31 プロセッサ
- 32 プログラムメモリ
- 33 PES出力部

【図6】

【図6】

| TSパケット | 同期バイト | PID | 79'アトリビュート・フィールド・コントロール | 79'アトリビュート・フィールド・レングス |
|--------|-------|---------|-------------------------|-----------------------|
| (a) | H'D9' | - | - | - |
| (b) | H'47' | H'0210' | B'11' | D'13' |
| (c) | H'47' | H'0110' | B'01' | - |
| (d) | H'47' | H'0110' | B'10' | D'30' |
| (e) | H'47' | H'0110' | B'11' | D'9' |

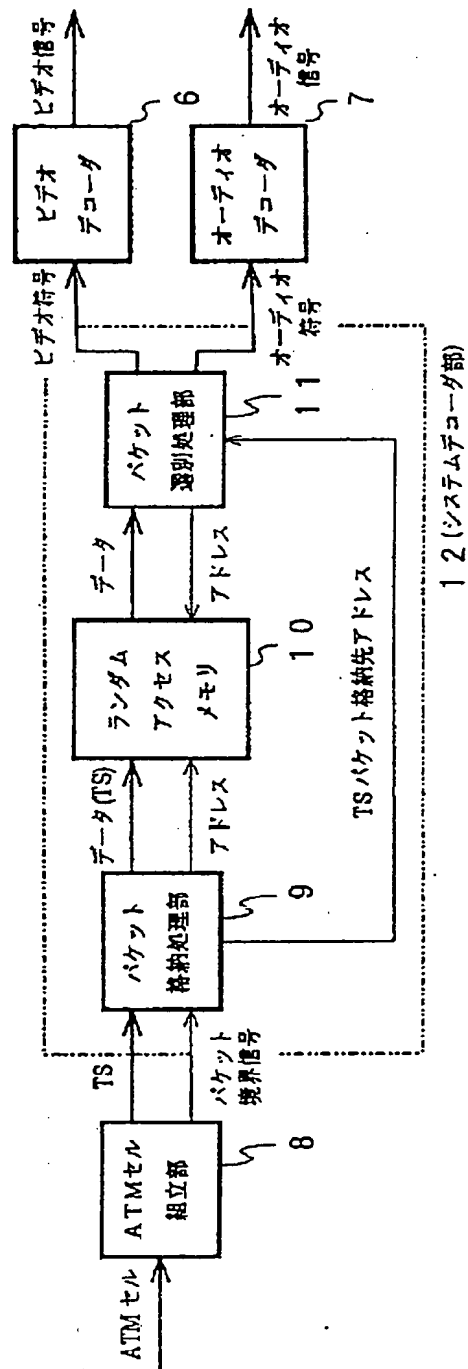
【図7】

【図7】

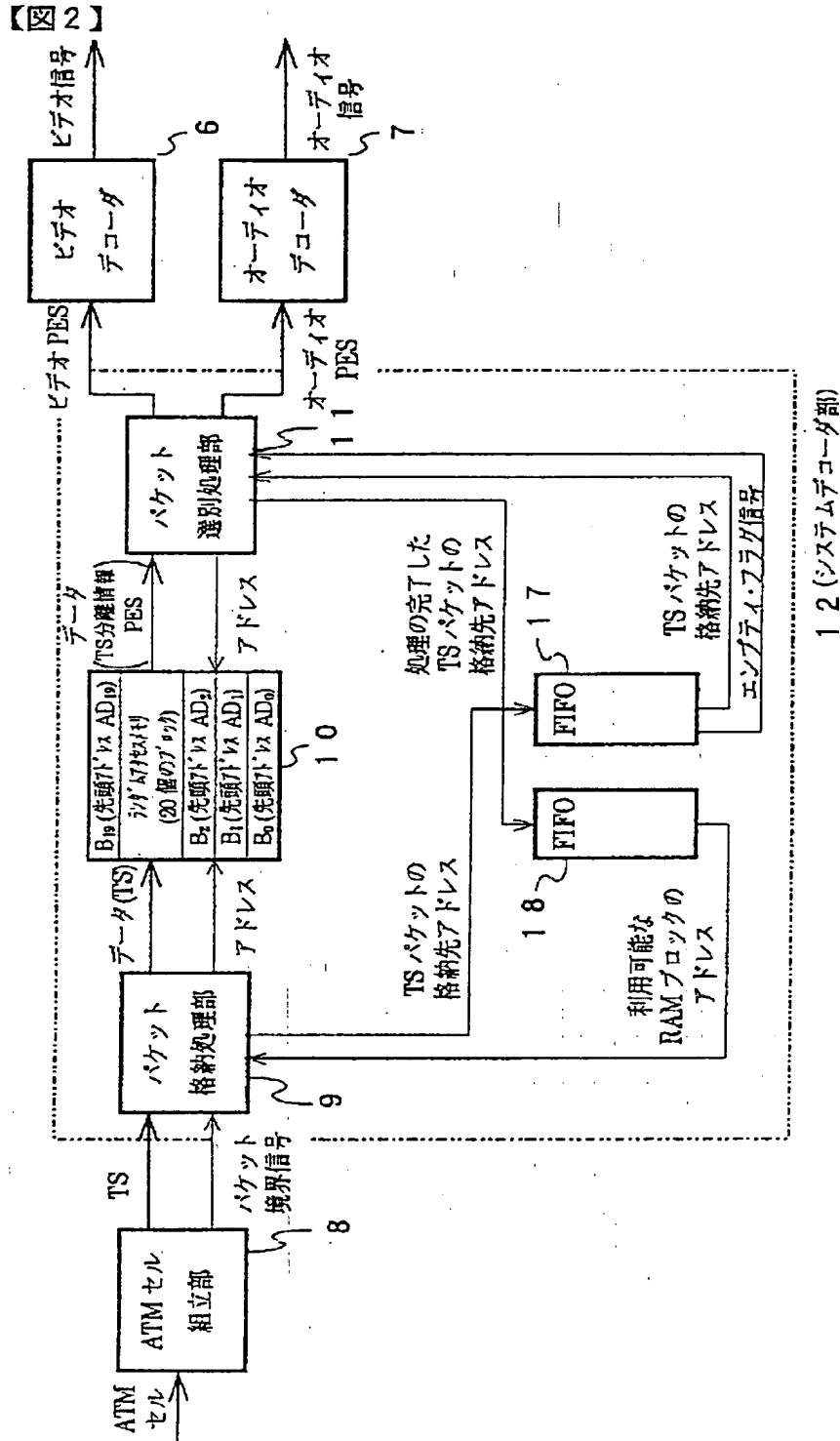
| PID値 | TSパケット |
|---------|-------------------------------|
| H'0000' | プログラム・アソシエーション・テーブル (PAT) |
| H'0100' | プログラム番号1 プログラム・マップ・テーブル (PMT) |
| H'0110' | プログラム番号1 ビデオPES |
| H'0120' | プログラム番号1 オーディオPES |
| H'0200' | プログラム番号2 プログラム・マップ・テーブル (PMT) |
| H'0210' | プログラム番号2 ビデオPES |
| H'0220' | プログラム番号2 オーディオPES |
| H'1FFF' | ヌル・パケット |
| その他 | 上記以外のデータ (プログラム番号3以降のデータ等) |

【図1】

【図1】



【図2】



TS分離情報: 同期バイト, PID,
7バイト・フィールド・コントロール,
7バイト・フィールド・アドレス

12 (システムデコーダ部)

【図4】

【図4】

(a)

| | |
|------------------|---------------------------|
| AD ₁₉ | B ₁₉ : 格納データ無し |
| AD ₁₈ | B ₁₈ : 格納データ無し |
| | ⋮ |
| AD ₂ | B ₂ : 格納データ無し |
| AD ₁ | B ₁ : 格納データ無し |
| AD ₀ | B ₀ : 格納データ無し |

RAM15

| |
|------------------|
| 空 |
| AD ₁₉ |
| AD ₁₈ |
| ⋮ |
| AD ₂ |
| AD ₁ |
| AD ₀ |

FIFO18

| |
|---|
| 空 |
|---|

FIFO17

(b)

| | |
|------------------|---------------------------|
| AD ₁₉ | B ₁₉ : 格納データ無し |
| AD ₁₈ | B ₁₈ : 格納データ無し |
| | ⋮ |
| AD ₂ | B ₂ : 格納データ無し |
| AD ₁ | B ₁ : 格納データ無し |
| AD ₀ | B ₀ : TS パケット |

RAM15

| |
|------------------|
| 空 |
| AD ₁₉ |
| AD ₁₈ |
| ⋮ |
| AD ₂ |
| AD ₁ |

FIFO18

| |
|-----------------|
| 空 |
| AD ₀ |

FIFO17

(c)

| | |
|------------------|---------------------------|
| AD ₁₉ | B ₁₉ : 格納データ無し |
| AD ₁₈ | B ₁₈ : 格納データ無し |
| | ⋮ |
| AD ₂ | B ₂ : 格納データ無し |
| AD ₁ | B ₁ : 格納データ無し |
| AD ₀ | B ₀ : 格納データ無し |

RAM15

| |
|------------------|
| 空 |
| AD ₀ |
| AD ₁₉ |
| AD ₁₈ |
| ⋮ |
| AD ₂ |
| AD ₁ |

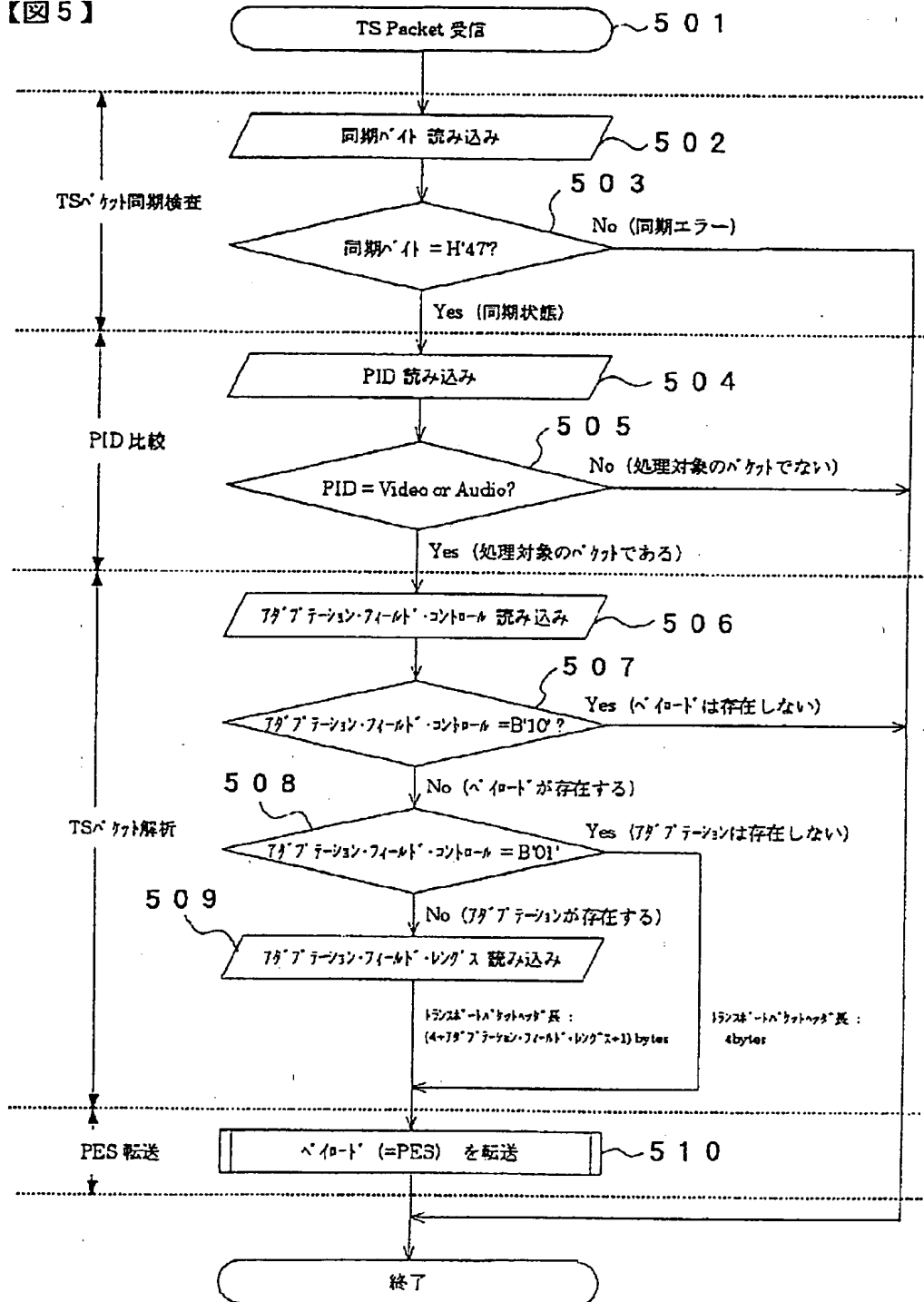
FIFO18

| |
|---|
| 空 |
|---|

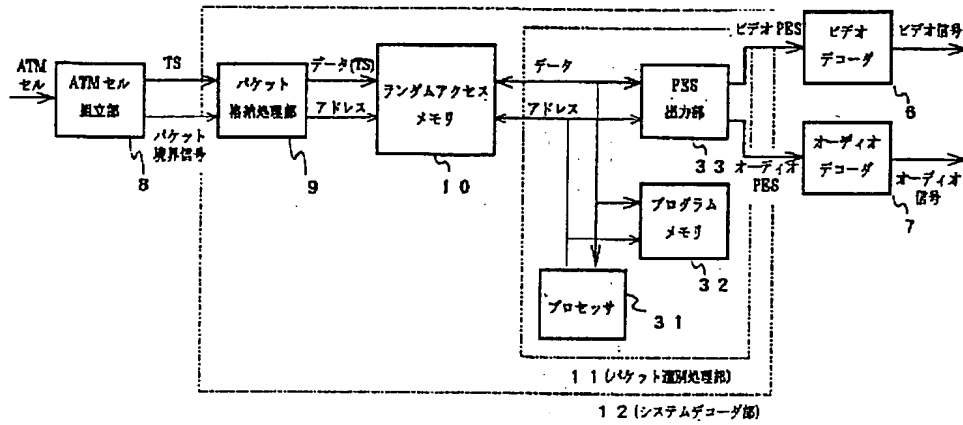
FIFO17

【図5】

【図5】

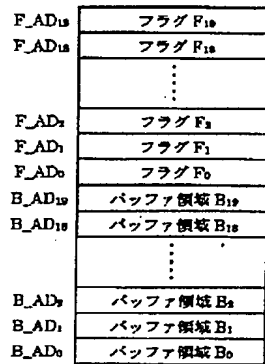


【図 8】



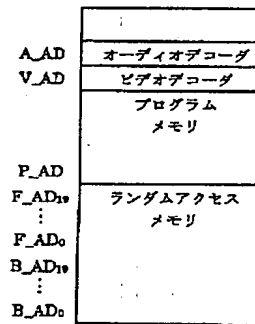
【図 9】

【図 9】

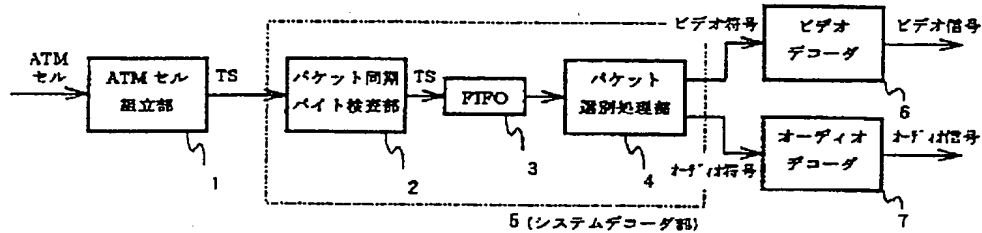


【図 10】

【図 10】



【図 14】



【図11】

【図11】

(a)

| | |
|--------------------|---------------------------|
| F_AD ₁₉ | F ₁₉ : B'0' |
| F_AD ₁₈ | F ₁₈ : B'0' |
| | ⋮ |
| F_AD ₂ | F ₂ : B'0' |
| F_AD ₁ | F ₁ : B'0' |
| F_AD ₀ | F ₀ : B'0' |
| B_AD ₁₉ | B ₁₉ : 格納データ無し |
| B_AD ₁₈ | B ₁₈ : 格納データ無し |
| | ⋮ |
| B_AD ₂ | B ₂ : 格納データ無し |
| B_AD ₁ | B ₁ : 格納データ無し |
| B_AD ₀ | B ₀ : 格納データ無し |

(b)

| | |
|--------------------|---------------------------|
| F_AD ₁₉ | F ₁₉ : B'0' |
| F_AD ₁₈ | F ₁₈ : B'0' |
| | ⋮ |
| F_AD ₂ | F ₂ : B'0' |
| F_AD ₁ | F ₁ : B'0' |
| F_AD ₀ | F ₀ : B'1' |
| B_AD ₁₉ | B ₁₉ : 格納データ無し |
| B_AD ₁₈ | B ₁₈ : 格納データ無し |
| | ⋮ |
| B_AD ₂ | B ₂ : 格納データ無し |
| B_AD ₁ | B ₁ : 格納データ無し |
| B_AD ₀ | B ₀ : TS パケット |

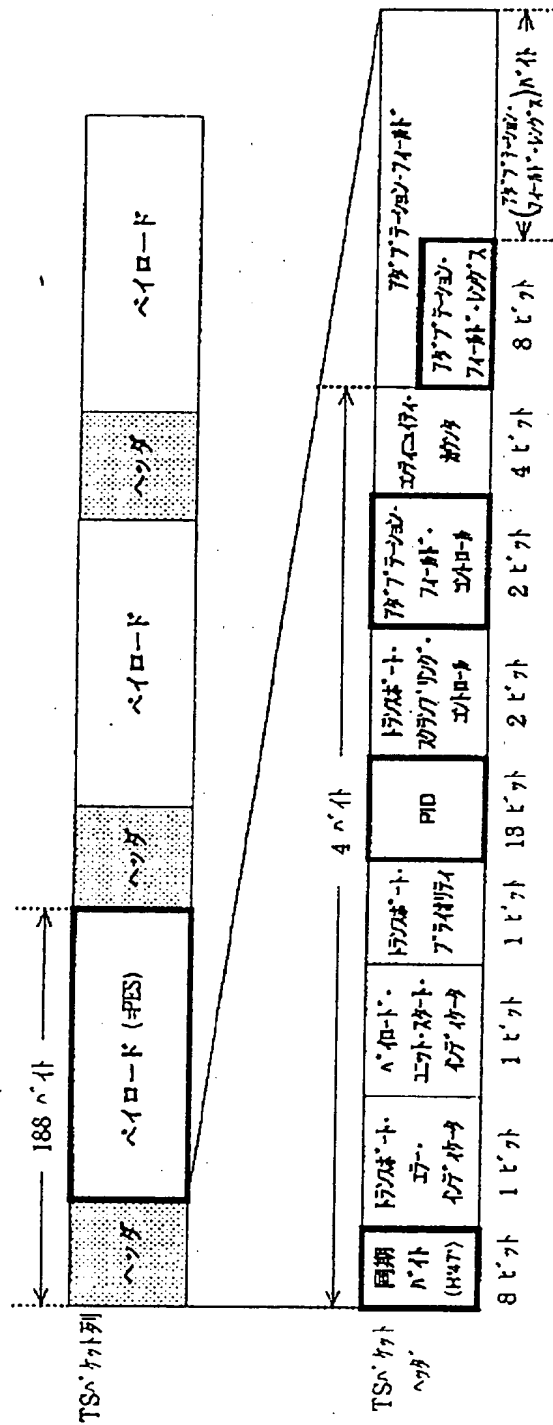
(c)

| | |
|--------------------|---------------------------|
| F_AD ₁₉ | F ₁₉ : B'0' |
| F_AD ₁₈ | F ₁₈ : B'0' |
| | ⋮ |
| F_AD ₂ | F ₂ : B'0' |
| F_AD ₁ | F ₁ : B'1' |
| F_AD ₀ | F ₀ : B'0' |
| B_AD ₁₉ | B ₁₉ : 格納データ無し |
| B_AD ₁₈ | B ₁₈ : 格納データ無し |
| | ⋮ |
| B_AD ₂ | B ₂ : 格納データ無し |
| B_AD ₁ | B ₁ : TS パケット |
| B_AD ₀ | B ₀ : 格納データ無し |

【図 12】

【图 1 2】

MPEG2 トランスポートストリームデータの構造

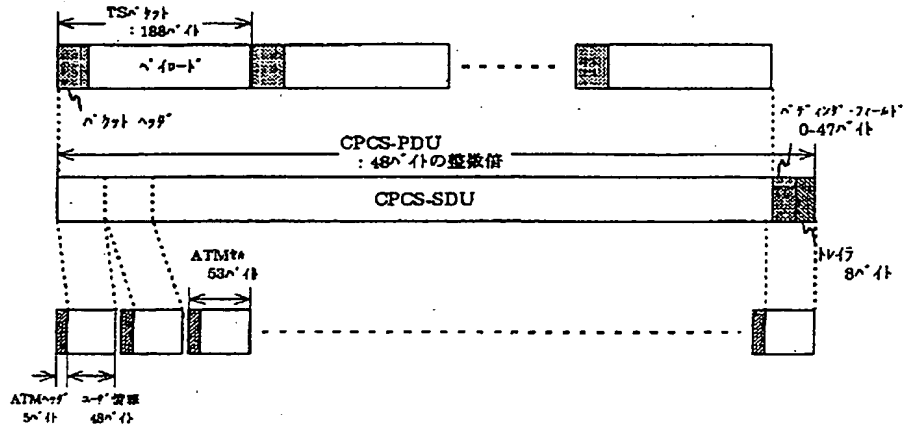


□：本発明においてTS分値に必要な情報

【図13】

MPEG2 トラストストリームパケットの AAL5 タイプへのマッピング方法

【図13】



フロントページの続き

(51) Int. Cl. ⁶

識別記号

F I

H 0 4 N 7/24

H 0 4 N 7/13

Z

H 0 4 Q 3/00

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.